

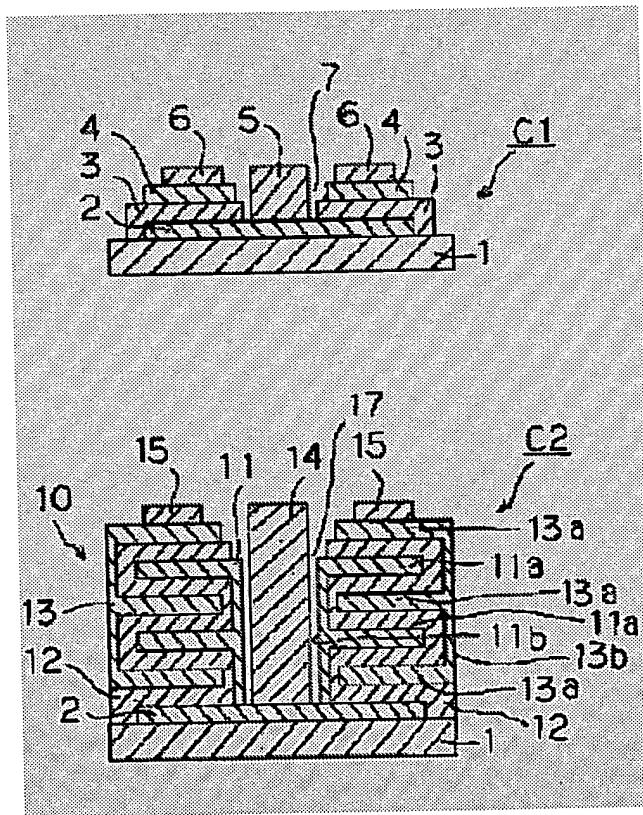
## THIN-FILM CAPACITOR

**Patent number:** JP11026290  
**Publication date:** 1999-01-29  
**Inventor:** NAGAKARI SHIYOUKEN  
**Applicant:** KYOCERA CORP  
**Classification:**  
- **international:** H01G4/33; H01L27/04; H01L21/822  
- **European:**  
**Application number:** JP19970174860 19970630  
**Priority number(s):**

### Abstract of JP11026290

**PROBLEM TO BE SOLVED:** To provide a thin-film capacitor which can be implemented easily and is adaptable to high capacity and high frequency.

**SOLUTION:** A lower electrode layer 2, a dielectric layer 3 with an opening in its center, and an upper electrode layer 4 with an opening in its center are layered in sequence on a substrate 1. An inner conductor 5 is formed on the lower electrode layer 2 in the opening of the dielectric layer 3 and the upper electrode layer 4. An outer conductor 6 is formed on the upper electrode layer 4. The inner conductor 5 and the outer conductor 6 are connected to form a thin-film capacitor C1. A multilayered thin-film capacitor C2 is formed by alternately layering electrode layers and dielectric layers and forming a capacitor main body 10 with an opening in its center. The capacitor main body 10 comprises a lower electrode layer 2, a dielectric layer 12, an inner electrode element 11 comprising multiple electrode layers extending from the center of the capacitor main body 10 toward the outside, which are interconnected and an outer electrode element 13 comprised of multiple electrode layers extending from the center of the capacitor main body 10 toward the inside which are interconnected.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-26290

(43)公開日 平成11年(1999)1月29日

(51) Int.Cl.<sup>6</sup>  
H 01 G 4/33  
H 01 L 27/04  
21/822

識別記号

F I  
H 01 G 4/06  
H 01 L 27/04

1 0 2  
C

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平9-174860

(22)出願日 平成9年(1997)6月30日

(71)出願人 000006633  
京セラ株式会社  
京都府京都市伏見区竹田鳥羽殿町6番地  
(72)発明者 永坂 尚謙  
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

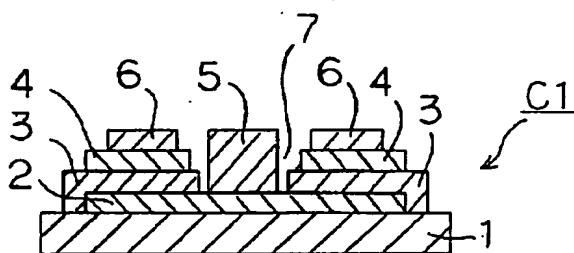
(54)【発明の名称】 薄膜コンデンサ

(57)【要約】

【課題】 実装が容易なタイプで、大容量の高周波対応可能な薄膜コンデンサを提供すること。

【解決手段】 基板1上に、下部電極層2、中央部が開口した誘電体層3、および中央部が開口した上部電極層4を順次積層するとともに、下部電極層2上で且つ誘電体層3および上部電極層4の開口部位に内側導体5を、上部電極層4上に外側導体6をそれぞれ形成し、内側導体5と外側導体6とを接続してなる薄膜コンデンサC

1、および、基板1上に、電極層と誘電体層とが交互に積層された領域を有しあつ中央部が開口したコンデンサ本体10を形成してなる積層型の薄膜コンデンサC2であって、コンデンサ本体10は、下部電極層2と、誘電体層12と、コンデンサ本体10の中央部から外側に延出した複数の電極層が相互に接続された内側電極体11と、コンデンサ本体10の中央部から内側に延出した複数の電極層が相互に接続された外側電極体13とからなる。



## 【特許請求の範囲】

【請求項1】 基板上に形成した下部電極層の中央部に端子部材を被着させるとともに、該端子部材の周囲に、枠状の誘電体層と上部電極層とを順次積層させてなる薄膜コンデンサ。

【請求項2】 基板上に形成した下部電極層の中央部に第1端子部材を被着させるとともに、該第1端子部材の周囲に複数の枠状の誘電体層と複数の枠状の電極層とを交互に多層に積層させ、かつ前記上下に位置する複数の枠状の電極層を一つおきに一対の電極体とするべく共通に接続させるとともに、一方の電極体を前記下部電極層に接続させ、他方の電極体を第2端子部材に接続させたことを特徴とする薄膜コンデンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は薄膜コンデンサに関し、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用として、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサ、および電極層と誘電体層とを交互に多層に積層して成る積層型の薄膜コンデンサに関するものである。

## 【0002】

【従来の技術】 近年、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。

【0003】 特に、大量の情報を高速に処理する必要のあるコンピュータの高速デジタル回路では、パソコン用コンピュータレベルにおいても、CPUチップ内のクロック周波数は100MHzから数百MHz、チップ間バスのクロック周波数も30MHzから75MHzという具合に高速化が顕著である。

【0004】 また、LSIの集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これらIC回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パレスに対して優れた特性を示すことが必須になってきている。

【0005】 コンデンサを小型高容量にするためには、一対の電極に挟持された誘電体を薄くし、薄膜化することが最も有効である。薄膜化は上述した電圧の低下の傾向にも適合している。

【0006】 一方、IC回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において、特に重要なのは、論理回路の同時切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下を、コンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能であり、いわゆるデカップリングコンデンサと称されるものである。

【0007】 このデカップリングコンデンサに要求され

る性能は、クロック周波数よりも速い負荷部の電流変動に対して、いかにすばやく電流を供給できるかにある。従って、100MHzから1GHzにおける周波数領域に対してコンデンサとして確実に機能しなければならない。

【0008】 しかし、実際のコンデンサ素子は静電容量成分の他に、抵抗成分、インダクタンス成分を持つ。容量成分のインピーダンスは周波数増加とともに減少し、インダクタンス成分は周波数の増加とともに増大する。

【0009】 このため、動作周波数が高くなるにつれ、素子の持つインダクタンスが供給すべき過渡電流を制限してしまい、ロジック回路側の電源電圧の瞬時低下、または新たな電圧ノイズを発生させてしまう。結果として、ロジック回路上のエラーを引き起こしてしまう。特に最近のLSIは総素子数の増大による消費電力増大を抑えるために電源電圧は低下しており、電源電圧の許容変動幅も小さくなっている。従って、高速動作時の電圧変動幅を最小に抑えるため、デカップリングコンデンサ素子自身の持つインダクタンスを減少させることが非常に重要である。

【0010】 インダクタンスを減少させる方法として以下に示す3つの方法がある。第1の方法は電流経路の長さを最小にする方法、第2は電流経路をループ構造としループ断面積を最小にする方法、第3は電流経路をn個に分配して実効的なインダクタンスを1/nにする方法である。

【0011】 上記第1の方法は、単位面積あたりの容量を増加させて小型化を図ればよく、コンデンサ素子を薄膜化することにより達成できる。特に、大容量で高周波特性の良好なコンデンサを得る目的で、誘電体厚さを1μm以下に薄膜化した例が特開昭60-94716号公報等に開示されている。

【0012】 また、上記第2の方法は、一本の電流経路が形成する磁場を、近接する別の電流経路が形成する磁場により相殺低減する効果を利用する方法であるから、コンデンサを形成する一対の電極板、または電極層に流れる電流の向きをできるだけ同一方向にしないようにすればよい。

【0013】 また、上記第3の方法は、分割したコンデンサを並列接続することによって低インダクタンス化を図るものであり、薄膜誘電体層を利用した例として、例えば特開平4-211191号公報に開示されている。

## 【0014】

【発明が解決しようとする課題】 しかしながら、所望の場所に実装できるデカップリングコンデンサを考えた場合、ハンドリング可能な寸法として0.5mm×0.5mm程度以上が必要であり、上記第1の方法、すなわち薄膜、小型化の方法のみでインダクタンスを低減するには限界があった。

【0015】 また、上記第2の方法では、正負の電極取り出し部を同一端面か、直交方向にする必要があり、実

装上不利となる。

【0016】また、上記第3の分割並列接続の方法では、基板内蔵型では有利な手段となるが、実装の自由度はない。また、通常の積層型コンデンサも並列接続であるが、電流の向きが同一方向であるため、各電極電流が形成する磁場が重畠される。つまり相互インダクタンスが大きくなるため、実効的な全インダクタンスを十分に低減することはできなかつた。従つて、上記第2の方法を併せて採用する必要があつたが、上述したとおり、電極取り出し方向の問題により実装上の問題があつた。

【0017】そこで本発明は、上述の従来の諸問題を解消し、実装が容易でかつ大容量の低インダクタンス構造を有する薄膜コンデンサを提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の薄膜コンデンサおよび積層型薄膜コンデンサは、上記課題の解決方法を銳意検討した結果、基本的な薄膜コンデンサとしては、基板上に形成した下部電極層の中央部に端子部材を被着させるとともに、該端子部材の周囲に、枠状の誘電体層と上部電極層とを順次積層させることにより、上部電極層と端子部材とを端子にする構造とすれば、上記目的を果たすことがわかつた。

【0019】また、積層型の薄膜コンデンサとしては、基板上に形成した下部電極層の中央部に第1端子部材を被着させるとともに、該第1端子部材の周囲に複数の枠状の誘電体層と複数の枠状の電極層とを交互に多層に積層させ、かつ前記上下に位置する複数の枠状の電極層を一つおきに一对の電極体とするべく共通に接続させるとともに、一方の電極体を前記下部電極層に接続させ、他方の電極体を第2端子部材に接続させた構造とすれば、上記目的を達成することがわかつた。

【0020】すなわち、上記基本構成の薄膜コンデンサおよび積層型の薄膜コンデンサによれば、実装が容易でかつ小型で、しかも低インダクタンスの薄膜積層コンデンサを作製できることがわかつた。

【0021】

【作用】上記構成により、各電極面において、電流が中央部（または外周部）から外周部（または中央部）方向に流れる為、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、全インダクタンスを大幅に減少させることができる。さらに、本構造の上部電極並びに下部電極層の中央部を端子部とすることにより、実装がきわめて容易となる。

【0022】

【発明の実施の形態】以下、図面に基づき本発明の実施の形態について詳細に説明する。図1に示すように、本発明の薄膜コンデンサC1は、基板1上に、下部電極層2、中央部が開口した枠状の誘電体層3、および中央部が開口した枠状の上部電極層4を順次積層するとともに、下部電極層2上で且つ誘電体層3および上部電極層

4の開口部位（挿入孔ともいう）7に第1端子部材である内側導体5を、上部電極層4上に第2端子部材である外側導体6をそれぞれ形成し、内側導体5と外側導体6とを接続して構成されている。

【0023】ここで、各電極層および誘電体層の平面形状は、図3に示すように、方形状をなすものであり、誘電体層3および上部電極層4は方形状の開口部3a、4aを有しているが、形状はこれに限定されるものではなく、誘電体層3及び上部電極層4において内側導体5の周囲を取り囲む形状を有していればどのような形状であつてもよい。

【0024】また、図2に示すように、積層型の薄膜コンデンサC2は、基板1上に形成した下部電極層2の中央部に第1端子部材である内側導体14を被着させるとともに、内側導体14の周囲に複数の枠状の誘電体層12と複数の枠状の電極層（11a、13a）とを交互に多層に積層させ、かつ上下に位置する複数の枠状の電極層を一つおきに一对の電極体11、13とするべく共通に接続させるとともに、一方の電極体11を下部電極層2に接続させ、他方の電極体13を第2端子部材である外側導体15に接続させたことを特徴とするものである。

【0025】すなわち、基板1上に、電極層（11a、13a）と誘電体層12とが交互に積層された領域を有し、かつ中央部（挿入孔ともいう）17が開口したコンデンサ本体10を形成してなるものであつて、コンデンサ本体10は、基板1上に形成した下部電極層2と、コンデンサ本体10の中央部17から外側に延出した複数の電極層（11a）が相互に接続された内側電極体11と、内側電極体11と誘電体層12を介して噛み合うとともにコンデンサ本体10の中央部17から内側に延出した複数の電極層（13a）が相互に接続された外側電極体13とからなり、内側電極体11と外側電極体13とを、中央部17に形成された内側導体14と外側電極体13上に形成された外側導体15とでもって電気的に接続して構成されている。

【0026】具体的には、例えば内側電極体11は基板1側から数えて奇数番目の電極層11aと、外側電極体13は基板1側から数えて偶数番目の電極層13aとににより構成されている。そして、奇数電極層11a同士は挿通孔17の内壁部に形成された電極層11bによって相互に接続されており、さらにこの内側電極体11は下部電極層2と電気的に接続されている。また、外側電極体13は偶数電極層13a同士がコンデンサ本体10の外周部で電極層13bによって相互に接続されて構成されている。この外側電極体13は下部電極層2とは非接触の状態で形成されている。

【0027】ここで、本発明で用いられる基板1としては、アルミナ、サファイア、MgO単結晶、SrTiO<sub>3</sub>、単結晶、チタン被覆シリコン、または銅（Cu）、ニ

ツケル (N i) 、チタン (T i) 、スズ (S n) 、ステンレススチール (SUS316等) などの薄膜もしくは薄板が望ましい。特に、薄膜との反応性が小さく、安価で硬度が大きく、かつ金属薄膜の結晶性という点からアルミナ、サファイアが望ましく、高周波領域における低抵抗化の点で銅 (C u) 薄板または銅 (C u) 薄膜が望ましい。

【0028】また、本発明の電極層は、白金 (P t) 、金 (A u) 、パラジウム (P d) 薄膜、低抵抗のC u薄膜等が好適に使用可能であるが、誘電体層を500°C以上の高温で形成する場合、これら金属膜の内でも、白金 (P t) と金 (A u) 等の貴金属薄膜、あるいはC u表面にそれら貴金属をコートしたC u薄膜が最適である。なぜなら、P t、A u等の貴金属は誘電体層との反応性が小さく、また酸化されにくいで、誘電体層12との界面に低誘電率層が形成されにくいかからである。

【0029】さらに、誘電体層は、高周波領域において高い誘電率を有するものであれば良いが、その膜厚は1 μm 以下が望ましい。また、誘電体層は、例えば、金属元素としてP b、M g、N bを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜であって、測定周波数300MHz (室温) での比誘電率が1000以上の誘電体薄膜が望ましい。尚、本発明においてはP b、M g、N bを含むペロブスカイト型酸化物結晶からなる誘電体薄膜以外のP Z T、P L Z T、B a T i O<sub>3</sub>、S r T i O<sub>3</sub>、T a<sub>2</sub> O<sub>5</sub>や、これらに他の金属を添加したり、置換した化合物であってもよく、特に限定されるものではない。このような誘電体層は、P V D法、C V D法、ゾルゲル法の公知の方法により作製される。

【0030】以上のように構成された薄膜コンデンサC 1においては、上部電極層4並びに誘電体層3に挿通孔7を設けた構造にすることにより、また、積層型薄膜コンデンサC 2においては、例えば奇数番目の電極層が電極層の中央部において別の奇数番目の電極層と接点を持ち、偶数番目の電極層が電極層の外周部において別の偶数番目の電極層と接点を持つ構造にすることにより、各電極面において、電流が中央部 (または外周部) から外周部 (または中央部) 方向に流れる為、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、全インダクタンスを大幅に減少させることができる。

【0031】さらに、本構造の上部電極並びに挿通孔の電極に端子電極部を設けることにより、実装が容易となる。

【0032】なお、上記例においては、内側電極体は奇数番目の電極層同士を接続し、外側電極体は偶数番目の電極層同士を接続した場合について説明したが、内側電極体として偶数番目の電極層同士を、外側電極体として奇数番目の電極層同士を接続するような構成としてもよい。また、上記例においては内側電極体を下部電極と接

続する例について説明したが、外側電極体を下部電極と接続し、内側電極体と下部電極とは非接触となるように構成してもよく、本発明の要旨を逸脱しない範囲内で適宜変更し実施が可能である。

#### 【0033】

【実施例】次に、より具体的な実施例について詳細に説明する。

#### 【0034】実施例1

各電極層の形成は高周波マグネットロンスパッタ法を用いた。まず、スパッタ用ガスとしてプロセスチャンバー内にArガスを導入し、真空排気により圧力は6.7Paに維持した。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動させ、基板ターゲット間距離は60mmに固定した。

【0035】次に、基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を印加し、ターゲット背面に設置された永久磁石により形成されたマグネットロン磁界により、ターゲット近傍に高密度のプラズマを生成させてターゲット表面のスパッタを行った。

【0036】本実施例では、基板に最近接のターゲットにのみ印加してプラズマを生成した。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。また、基板ホルダーに設置された基板のターゲット側には厚さ0.1mmの金属マスクが設置されており、成膜パターンに応じて必要なマスクが基板成膜面にセットできる構造とした。

【0037】誘電体層は全てソルゲル法にて作製した。また、酢酸M gとN bエトキシドを1:2のモル比で秤量し、2-メトキシエタノール中で還流操作 (約124°Cで24時間) を行い、M g N b複合アルコキシド溶液 (M g = 5.0mmol、N b 10.0mmol / 2-メトキシエタノール 150mmol) を合成した。次に酢酸鉛 (無水物) 15mmolと150mmolの2-メトキシエタノールを混合し、120°Cでの蒸留操作により、P b前駆体溶液を合成した。

【0038】M g N b前駆体溶液とP b前駆体溶液をモル比P b : (M g + N b) = 1:1になるよう混合し、室温で十分搅拌し、P b (M g<sub>1/3</sub> N b<sub>2/3</sub>) O<sub>3</sub> (P MN) 前駆体溶液を合成した。

【0039】そして、図4 (a) に示すマスクパターンにより1mm□のP t電極を上記スパッタ蒸着された厚さ0.15mmのサファイア単結晶の基板上に、前記塗布溶液をスピンコーラーで塗布し、乾燥させた後、約300°Cで熱処理を1分間行い、ゲル膜を作製した。

【0040】塗布溶液の塗布-熱処理の操作を繰り返した後、約830°Cで1分間 (大気中) の焼成を行い、膜厚0.7μmのPMN薄膜を得た。得られた薄膜のX線回折結果より、ペロブスカイト生成率を計算するとそれぞれ約95%であった。

【0041】この焼成されたPMN薄膜上にフォトリソグラフィーを用いて、図4 (b) に示すマスクパターンを用いてパターニング処理を行った。

【0042】このパターニングされたPMN膜表面に、図4 (a) のマスクパターンによる1mm□のPt電極をスパッタ蒸着した後、このPt上部電極をフォトリソグラフィーを用いて、図4 (c) に示すマスクパターンによるパターニング処理を行い、図1に示した様な薄膜コンデンサを得た。尚、誘電体層を挟んだ電極層の面積は0.84mm<sup>2</sup>であった。この薄膜コンデンサの下部電極からの取出しをする為、挿通孔部に0.2mmΦの半田バンプを形成した。また、上部電極にも同様に0.2mmΦの半田バンプを形成した。

【0043】作製した薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性をインピーダンスアナライザー(ヒューレットパッカード社製HP4291A)を用いて測定した結果、容量30.7nF、インダクタンス100pH(半田バンプ込み)の値を得た。

#### 【0044】実施例2

実施例1と同様に電極層の形成は高周波マグネットロンスパッタ法、誘電体層はソルゲル法、パターニングはフォトリソグラフィーを用いた。

【0045】図5 (a) に示したマスクパターンにより1mm□のPt電極を上記スパッタ蒸着された、厚さ0.15mmのサファイア単結晶基板上に、前記塗布溶液をスピンドルで塗布し、乾燥させた後、300°Cで熱処理を1分間行い、ゲル膜を作製した。塗布溶液の塗布-熱処理の操作を繰り返した後、830°Cで1分間(大気中)の焼成を行い、膜厚0.7μmのPMN薄膜を得た。得られた薄膜のX線回折結果より、ペロブスカイト生成率を計算するとそれぞれ約95%であった。

【0046】この焼成されたPMN薄膜上にフォトリソグラフィーを用いて、図5 (b) に示すマスクパターンによるPMN膜のパターニング処理を行った。

【0047】このパターニングされたPMN膜表面に図5 (c) に示すマスクパターンによる1.1mm□のPt電極をスパッタ蒸着した後、このPt上部電極をフォトリソグラフィーを用いて、図5 (d) のマスクパターンによるパターニング処理を行った。

【0048】次に、再度、誘電体層を形成した後、図5 (e) のマスクパターンによるパターニング処理を行った。このパターニングされたPMN膜表面に、Pt電極をスパッタ蒸着した後、図5 (f) のマスクパターンによるPt電極のパターニング処理を行った。

【0049】次に、再度、誘電体層を形成し、図5 (e) のパターニング処理を行った。このパターニングされたPMN膜表面にPt電極をスパッタ蒸着した後、図5 (g) のマスクパターンによるPt電極のパターニング処理を行った。

【0050】これら誘電体層形成、および電極形成、並

びにそれぞれ図5 (e)、図5 (f) および図5 (g) のパターニングをくり返した後、最後に図5 (g) のパターンのPt電極を形成し、図2に示した様な5層積層された積層型薄膜コンデンサを得た。尚、誘電体層を挟んだ各層の電極層の面積は0.76mm<sup>2</sup>であり、単層当たり約27nFの容量を得た。

【0051】この薄膜コンデンサの下部電極からの取出しをする為、挿通孔部に0.2mmΦの半田バンプを形成した。また、上部電極にも同様に0.2mmΦの半田バンプを形成した。

【0052】作製した薄膜コンデンサの1MHzから1.8GHzでのインピーダンス特性をインピーダンスアナライザー(ヒューレットパッカード社製HP4291A)を用いて測定した結果、容量135nF、インダクタンス50pH(半田バンプ込み)の値を得た。

#### 【0053】

【発明の効果】以上の詳述したように、本発明によれば、基本構造を有する薄膜コンデンサにおいて、基板上に形成した下部電極層の中央部に端子部材を被着するとともに、端子部材の周囲に、棒状の誘電体層と上部電極層とを順次積層させる構造にすることにより、また、積層型の薄膜コンデンサにおいて、中央部が開口したコンデンサ本体を形成してなり、このコンデンサ本体が、中央部から外側に延出した複数の電極層が相互に接続された内側電極体と、この内側電極体と誘電体層を介して噛み合うとともにコンデンサ本体の中央部から内側に延出した複数の電極層が相互に接続された外側電極体とから構成されることにより、電極層において電流が中央部(または外周部)から外周部(または中央部)方向に流れる為、相互インダクタンスによって自己インダクタンスを打ち消す効果が生じ、全インダクタンスを大幅に減少させることができる。

【0054】さらに、本構造の内側導電体及び外側導電体を端子電極とすることにより、実装がきわめて容易な薄膜コンデンサを提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の薄膜コンデンサの実施例の構成を示す断面図である

【図2】本発明の積層型薄膜コンデンサの実施例の構成を示す断面図である

【図3】本発明の薄膜コンデンサの層構成を模式的に説明する分解斜視図である。

【図4】(a)～(c)はそれぞれ本発明の薄膜コンデンサを製造する時に用いる電極および誘電体のマスクパターンである。

【図5】(a)～(g)はそれぞれ本発明の積層型薄膜コンデンサを製造する時に用いる電極および誘電体のマスクパターンである。

#### 【符号の説明】

1 ··· 基板

9

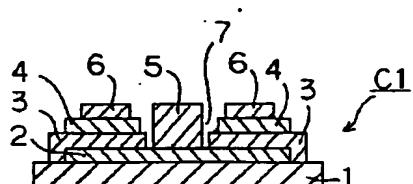
2 . . . 下部電極層  
 3 . . . 誘電体層  
 4 . . . 上部電極層  
 5, 14 . . . 内側導体 (第1端子部材)  
 6, 15 . . . 外側導体 (第2端子部材)  
 7 . . . 開口 (挿入孔)

\*

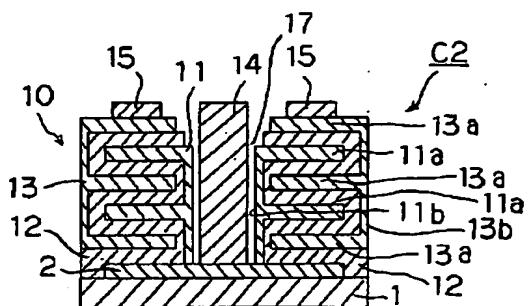
10

\* 10 . . . コンデンサ本体  
 11 . . . 内側電極体  
 13 . . . 外側電極体  
 C1 . . . 薄膜コンデンサ  
 C2 . . . 積層型薄膜コンデンサ

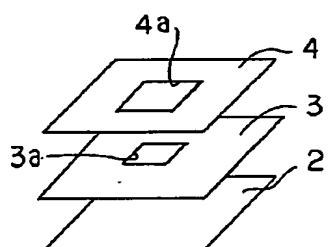
【図1】



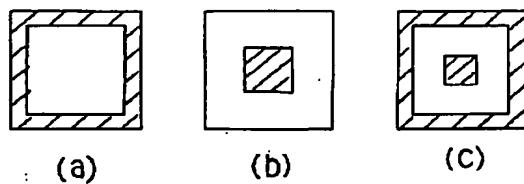
【図2】



【図3】



【図4】



【図5】

